

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114445

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H01L 23/48

H01L 21/60

(21)Application number : 11-273424

(71)Applicant : INTERNATL RECTIFIER CORP

(22)Date of filing : 27.09.1999

(72)Inventor : CHUAN CHIEA
GEORGE MANOTS
DAN KISEL

(30)Priority

Priority number : 98 101810

Priority date : 25.09.1998

Priority country : US

99 225153

04.01.1999

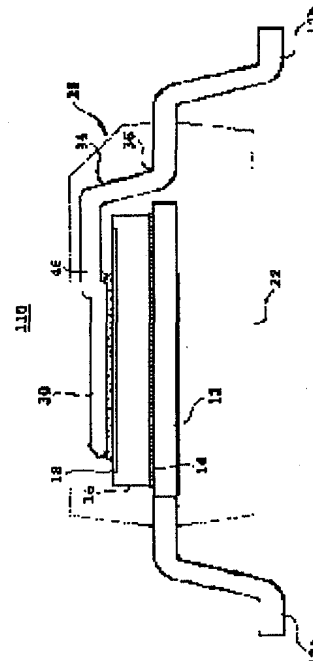
US

(54) SEMICONDUCTOR PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the resistances of current paths passing through a MOS gate device, by making each of the current paths include a beam portion sized and molded to couple a copper plate portion to a second terminal.

SOLUTION: A semiconductor die 16 includes its upper surface having a metallized region 18 defining the connections with it. A semiconductor package 110 includes also strap members 28 used for coupling electrically the metallized region 18 to terminals 12b. Each strap member 28 desirably includes a plate portion 30 having an enough large thickness and includes a molded beam portion 34. The plate portion 30 is formed desirably out of copper and is coupled in a covering way to most of the metallized region 18. The beam portions 34 are molded and sized to couple the plate portion 30 to the terminals 12b. The beam portions 34 are coupled to the side edge portion of the plate portion 30 at their one-ends, and include desirably end portions 36 coupled to the respective terminals 12b.



LEGAL STATUS

[Date of request for examination]

27.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-114445

(P2000-114445A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 23/48		H 0 1 L 23/48	G
21/60	3 0 1	21/60	3 0 1 A

審査請求 有 請求項の数29 O L (全 10 頁)

(21) 出願番号 特願平11-273424

(22) 出願日 平成11年9月27日 (1999. 9. 27)

(31) 優先権主張番号 6 0 / 1 0 1, 8 1 0

(32) 優先日 平成10年9月25日 (1998. 9. 25)

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 0 9 / 2 2 5, 1 5 3

(32) 優先日 平成11年1月4日 (1999. 1. 4)

(33) 優先権主張国 米国 (US)

(71) 出願人 591074389

インターナショナル・レクチファイヤー・
コーポレーション

INTERNATIONAL RECTI
FIER CORPORATION

アメリカ合衆国90245カリフォルニア州
エル・セグンド、カンザス・ストリート
233番

(74) 代理人 100077481

弁理士 谷 義一 (外2名)

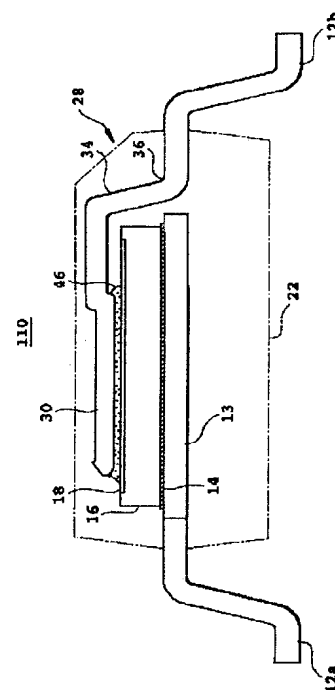
最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】 MOSゲートデバイスを通る電流経路の抵抗を低下させ、この電流経路のインダクタンスを低下させること。

【解決手段】 半導体パッケージ110は、底部プレート部分13およびここから延びる少なくとも1つの第1の端子12aを有する底部リードフレーム、第1の端子12aと同一平面上にある少なくとも1つの第2の端子12b、第1の端子が結合された、ドレイン接続を画定する底部表面と、ソースを画定する第1の金属化領域18およびゲートを画定する第2の金属化領域がその上に配置された上部表面とを有する半導体パワーMOSFETダイ16、ソース接続を画定する第1の金属化領域の大部分に結合され、その大部分に及ぶ銅板30、ならびに銅板30を第2の端子12bに結合するようにサイズを取られ成形された、少なくとも1つのビーム部分34を含む。



【特許請求の範囲】

【請求項1】 底部プレート部分および該底部プレート部分から延びる少なくとも1つの第1の端子を有する底部リードフレーム、

前記第1の端子と同一平面上にある少なくとも1つの第2の端子、

前記第1の端子がドレインに電氣的に接続されるように前記リードフレームの底部プレートに結合された、ドレイン接続を画定する底部表面と、ソースを画定する第1の金属化領域、およびゲートを画定する第2の金属化領域がその上に配置された上部表面とを有する半導体パワーMOSFETダイ、

ソース接続を画定する前記第1の金属化領域の大部分に結合され、その大部分に及ぶ銅板、および前記第2の端子が前記ソースに電氣的に結合されるように前記銅板部分を少なくとも1つの前記第2の端子に結合するようにサイズを取られ成形された、少なくとも1つのビーム部分を含むパワー半導体パッケージ。

【請求項2】 前記ゲートを第3の端子に結合するワイヤボンディングをさらに含む、請求項1に記載のパワー半導体パッケージ。

【請求項3】 前記銅板部分が前記ソースに強く結合されるように前記銅板と前記第1の金属化領域との間に配置された硬化性導電材料の層をさらに含む、請求項1に記載のパワー半導体パッケージ。

【請求項4】 前記銅板が上部表面および底部表面を含み、前記底部表面が前記ソースに向かって延びる下向きの突起を有する、請求項1に記載のパワー半導体パッケージ。

【請求項5】 前記MOSFETダイが、前記ソースの一部を覆って延びるゲートバスを含み、前記銅板がゲートバスのほぼ全体を覆う、請求項1に記載のパワー半導体パッケージ。

【請求項6】 前記MOSFETダイが、前記ソースの一部を覆って延びるゲートバスを含み、さらに前記ゲートバスの少なくとも一部分を実質上覆う窒化物層を含み、前記銅板が窒化物層によって前記ゲートバスから電氣的に絶縁された、請求項1に記載のパワー半導体パッケージ。

【請求項7】 前記銅板と前記ソースの間に配置された硬化性導電材料の層をさらに含む、請求項6に記載のパワー半導体パッケージ。

【請求項8】 前記窒化物層が、前記ゲートバスを前記硬化性導電材料から電氣的に絶縁する、請求項7に記載のパワー半導体パッケージ。

【請求項9】 前記硬化性導電材料が銀充填エポキシである、請求項8に記載のパワー半導体パッケージ。

【請求項10】 少なくとも1つの前記ビーム部分が前記銅板の側縁部から延び、その末端で少なくとも1つの前記第2の端子に結合された、請求項1に記載のパワー

半導体パッケージ。

【請求項11】 前記ビーム部分と少なくとも1つの前記第2の端子との間に配置された硬化性導電材料の層をさらに含む、請求項10に記載のパワー半導体パッケージ。

【請求項12】 少なくとも1つの前記第2の端子が少なくとも1つの前記ビーム部分と一体化された、請求項10に記載のパワー半導体パッケージ。

【請求項13】 前記ビーム部分が、前記銅板の側縁部から少なくとも1つの前記第2の端子まで延びる単一部材である、請求項10に記載のパワー半導体パッケージ。

【請求項14】 前記銅板の側縁部から延びて少なくとも1つの前記第2の端子で終端する少なくとも2つのビーム部分を含む、請求項10に記載のパワー半導体パッケージ。

【請求項15】 前記少なくとも2つのビーム部分が前記銅板の側縁部から前記クロスバー部分まで延び、前記クロスバー部分が少なくとも2つの前記第2の端子に結合された、請求項14に記載のパワー半導体パッケージ。

【請求項16】 前記クロスバー部分を前記第2の端子に結合するために配置された硬化性導電材料の層をさらに含む、請求項15に記載のパワー半導体パッケージ。

【請求項17】 前記硬化性導電材料が銀充填エポキシである、請求項16に記載のパワー半導体パッケージ。

【請求項18】 前記クロスバー部分が、前記第2の端子の付近に位置し、前記第2の端子との係合を容易にするようにサイズを取られ成形されたボイドを含む、請求項15に記載のパワー半導体パッケージ。

【請求項19】 前記ボイドが、前記クロスバー部分のほぼ全長にわたって延びるチャネルの形をしている、請求項18に記載のパワー半導体パッケージ。

【請求項20】 前記チャネル内に配置され前記クロスバー部分を前記第2の端子に結合する硬化性導電材料をさらに含む、請求項19に記載のパワー半導体パッケージ。

【請求項21】 前記チャネルを通して前記第2の端子に向かって延びる下向きの突起をさらに含む、請求項20に記載のパワー半導体パッケージ。

【請求項22】 前記突起が、前記クロスバー部分のほぼ全長にわたって延びる壁面の形をしている、請求項21に記載のパワー半導体パッケージ。

【請求項23】 前記ボイド内に配置され前記クロスバー部分を前記第2の端子に結合する硬化性導電材料をさらに含む、請求項22に記載のパワー半導体パッケージ。

【請求項24】 前記硬化性導電材料が銀充填エポキシである、請求項23に記載のパワー半導体パッケージ。

【請求項25】 SO8パッケージ構成に準拠するよう

にサイズを取られ成形された、請求項1に記載のパワー半導体パッケージ。

【請求項26】 前記底部リードフレーム、前記半導体ダイ、および前記銅板をほぼ封入するプラスチックハウジングを含む、請求項1に記載のパワー半導体パッケージ。

【請求項27】 底部プレート部分および前記底部プレート部分から延びる少なくとも1つの第1の端子を有する底部リードフレームと、
前記第1の端子と同一平面上にある少なくとも1つの第2の端子と、

ソースを画定する第1の金属化領域、およびゲートを画定する第2の金属化領域がその上に配置された、前記ソースの一部分を覆って延びるゲートバスをさらに含む上部表面を有する半導体パワーMOSFETダイであって、前記第1の端子がドレインに電氣的に接続されるように前記リードフレームの底部プレートに結合された、前記ドレイン接続を画定する底部表面をさらに含むMOSFETダイと、

前記ゲートバスの少なくとも一部分を実質上覆う窒化物層と、

前記窒化物層および前記ソースの上に配置された硬化性導電材料の層と、

前記ソースの大部分に結合されてその大部分に及び、ゲートバスのほぼ全体を覆う銅板と、

前記第2の端子が前記ソースに電氣的に結合されるように、前記銅板部分を少なくとも1つの前記第2の端子に結合するようにサイズを取られ成形された少なくとも1つのビーム部分と、

前記ゲートを第3の端子に結合するワイヤボンディングとを含み、前記硬化性導電材料は、前記銅板を前記ソースに電氣的に結合し、前記窒化物層によって前記ゲートバスからは電氣的に絶縁されるパワー半導体パッケージ。

【請求項28】 前記硬化性導電材料が銀充填エポキシである、請求項27に記載のパワー半導体パッケージ。

【請求項29】 前記少なくとも1つのビーム部分が前記銅板の側縁部から延び、その末端で少なくとも1つの前記第2の端子に結合された、請求項27に記載のパワー半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、上側プレート部材と下側プレート部材の間に半導体ダイが配置された半導体パッケージに関し、さらに詳細には、MOSFET半導体ダイのソースが上側プレート部材を介してリードフレームに電氣的に結合され、MOSFETのゲートがワイヤボンディングを介してリードフレームに電氣的に結合された、SO8半導体パッケージに関する。

【0002】

【従来の技術】図1を参照すると、従来技術による半導体パッケージ10が示してある。この半導体パッケージ10は、底部プレート部分13および端子12a、12bを含む。半導体ダイ16は、底部プレート13の上に配置され、通常はエポキシ材料を使用してこれに固定される。半導体ダイ16は、半導体ダイ16の上部表面の接続エリアを画定する金属化(metalized)領域18(通常はアルミニウム)を含む。端子12a、12bの一部分、底部プレート部分13、および半導体ダイ16は、通常は成形性(moldable)材料で形成されるハウジング22中に封入される。金属化領域18と端子12bの間の電気接続を得るために、1本または複数本のワイヤ20を、一端21aで金属化領域18に、末端21bで端子12bに超音波ボンディングする。

【0003】図2は、従来技術の別の半導体パッケージ100を示す図である。金属化領域18と端子12bとを電氣的に接続するために、1本または複数本のワイヤ24を位置23でスティッチボンディングし、それにより半導体ダイ16から端子12bに電流が流れる追加経路を提供する。これにより、半導体ダイ16から端子12bまでの電流経路の抵抗がわずかに低下する。

【0004】

【発明が解決しようとする課題】最適な半導体デバイスの性能を確保するために、パワー半導体パッケージを通る電流経路の抵抗およびインダクタンスを大幅に低下させることが望ましい。残念ながら、従来技術の半導体パッケージではこの目的は完全には達成されないが、これは特に、金属化領域18の1つのエリアとワイヤ20の末端21aとの間の距離Dが金属化領域18から端子12bへの電流経路の抵抗を増大させるからである。この問題は、金属化領域18の厚さが比較的薄い(通常はこの厚さは約4から8ミクロンである)ときに悪化する。比較的薄い金属化領域18と、距離Dおよびワイヤボンディング20の断面プロファイルとが相まって、それを通る電流経路の抵抗およびインダクタンスを比較的高くすることになる。

【0005】いくつかのパッケージ(例えばSO8パッケージ)では、距離Dは約80から100ミルであり、その結果、金属化領域18の抵抗は約0.79から1.58ミリオームとなる。ワイヤ20、24の直径は約2ミルであり、約1.05ミリオームの抵抗を生じる(ワイヤ14本使用時)。端子およびエポキシの抵抗を合計すると約0.307ミリオームとなるので、このようなパッケージは、約2.14から2.93ミリオームの全抵抗を示す。その結果生じるパッケージの熱抵抗RJAは、62.5EC/Wに達する可能性がある。

【0006】半導体パッケージ10が例えばMOSFET半導体ダイ16を含むときには、距離Dおよびワイヤ20、24の比較的小きな直径によって引き起こされる

抵抗がMOSFETの全抵抗に加算される。実際には、ダイ16がMOSFETダイであるときには、端子12aは通常はMOSFETのドレインに結合され、端子12bは1本または複数本のワイヤボンディング20を介してMOSFETのソースに結合される。MOSFETダイのオン抵抗が小さくなるほど、距離Dおよびワイヤボンディング20、24によって引き起こされる抵抗が、端子12aからもう一方の端子12bまでの全抵抗に占める割合は大きくなる。もちろん、MOSFETなどの半導体デバイスの高周波性能は、デバイスを通る端子から端子までの抵抗およびインダクタンスの影響をかなり受ける。

【0007】いくつかの従来技術のパッケージは、金属化領域18と端子12bの間の電気的接続を得るために、大きな金属ストラップを組み込んでいる。残念ながら、この技法は、パイポーラ接合トランジスタやダイオード、サイリスタなど、比較的単純な表面構造を有する大規模な半導体パッケージでなければ可能でない。さらに、金属ストラップは、外形の小さなパッケージ(SO8や表面実装型デュアルインラインパッケージなど)では実用的ではない。

【0008】MOSFETなどのMOSゲートデバイスで大きな金属ストラップを使用することは、このようなデバイスが比較的複雑な表面構造を有するので、これまでのところ達成されていない。特にMOSゲートデバイスは、通常は、ゲート電位がダイ表面全体に分配されるように表面を横切る、半導体ダイの表面上に配置されたゲートランナ(gate runner)(またはバス)を含む。その結果として、ゲートランナがダイ表面へのアクセスを制限し、また金属ストラップに短絡する可能性もあるので、大きな金属ストラップをダイ表面の上に配置することには問題がある。したがって、MOSゲート半導体デバイスで金属ストラップを使用することはできない。

【0009】したがって、当技術分野では、とりわけMOSゲートデバイスを通る電流経路の抵抗を低下させ、この電流経路のインダクタンスを低下させることによって従来技術の半導体パッケージの欠点を克服する、新しい半導体パッケージが必要とされている。

【0010】

【課題を解決するための手段】従来技術の欠点を克服するために、本発明の1つの態様による半導体パッケージは、底部プレート部分およびこの底部プレート部分から延びる少なくとも1つの第1の端子を有する底部リードフレーム、この第1の端子と同一平面上にある少なくとも1つの第2の端子、第1の端子がドレインに電気的に接続されるようにリードフレームの底部プレートに結合された、ドレイン接続を画定する底部表面と、ソースを画定する第1の金属化領域、およびゲートを画定する第2の金属化領域がその上に配置された上部表面とを有す

る半導体パワーMOSFETダイ、ソース接続を画定する第1の金属化領域の大部分に結合され、その大部分に及ぶ銅板、ならびに第2の端子がソースに電気的に結合されるようにこの銅板部分を少なくとも1つの第2の端子に結合するようにサイズを取られ成形された、少なくとも1つのビーム部分を含む。

【0011】本発明を図示するために、現在好ましいいくつかの形態を図面に示すが、本発明は図示の配列および手段に厳密に限定されるわけではないことを理解されたい。

【0012】

【発明の実施の形態】次に同様のエレメントを同じ参照番号で示す図面を参照すると、本発明の一態様による半導体パッケージ110の側面図が図3に示してある。半導体パッケージ110は、底部表面が底部プレート13に結合された半導体ダイ16を含む。好ましくは、半導体ダイ16はMOSFETダイであり、端子12aはMOSFETダイ16のドレインに電気的に結合される。もちろん、半導体ダイ16は、ダイオードや絶縁ゲートバイポーラトランジスタなど、その他の形態をとることもできる。

【0013】半導体ダイ16は、半導体ダイ16への接続を画定する金属化領域18を有する上部表面を含む。例えば、半導体ダイ16がMOSFETであるときには、金属化領域18はソース接続を画定することができる。

【0014】半導体パッケージ110は、金属化領域18を端子12bに電気的に結合するために利用されるストラップ部材28も含む。各ストラップ部材28は、十分に厚いプレート部分30、および成形ビーム部分34を含むことが好ましい。プレート部分30は銅で形成されることが好ましく、金属化領域18の大部分に及ぶ。ビーム部分34は、プレート部分30を端子12bに結合するように成形され、サイズを取られている。

【0015】ビーム部分34は、一端でプレート部分30の側縁部に結合され、それぞれの端子12bに結合された末端36を含むことが好ましい。

【0016】プレート30が金属化領域18と堅く結合されるように、硬化性(curable)導電材料46(銀充填導電性エポキシなど)を、プレート部分30の下側表面と金属化領域18の間に配置することが好ましい。軟質はんだを使用することもできる。

【0017】半導体パッケージ110が成形性材料(プラスチックなど)から形成されたハウジング22を含み、パッケージの構成がSO8標準に準拠することが好ましい。

【0018】ストラップ部材28が、端子12bを金属化領域18に結合する比較的大きな接触領域を提供し、それにより電流に対する抵抗を低下させ、インダクタンスを低下させる。これにより、高周波での性能の改善が

もたらされる。さらに、この構造には、ストラップ部材 28 を介して半導体ダイ 16 から熱が逃げる熱経路がもたらされるという利点もある。

【0019】半導体パッケージ 110 の上面図である図 4 および図 6 で最もよく分かるように、ビーム部分 34 は、プレート部分 30 の 1 つの側縁部から延びて端子 12b で終端する 1 つの流れ部材 (flowing member) として一体化されて形成されることが好ましい。図 5 は、図 4 のパッケージの斜視図である。

【0020】金属化領域 19 は、MOSFET ダイ 16 のゲートを画定する。金属化領域 19 はワイヤボンディング 20 を介して 1 つの端子 12c に電気的に結合される。このように、本発明では、MOSFET ダイ 16 の上部表面への混合接続、すなわちソースに接続するための低抵抗プレート部分 30、およびゲート 19 に接続するためのワイヤボンディング 20 を利用する。

【0021】図 6 で最もよく分かるように、ゲートランナ (またはバス) 19a は、ゲート金属化領域 19 をダイ 16 の表面のソース領域に結合する。プレート部分 30 は、ゲートランナ 19a の最も外側の部分を超えて横方向に延びることが好ましい。また、プレート部分 30 は、ゲートランナ 19a を超えて延び、可能な限り大きくこれを覆うことが好ましい。これにより、性能改善の達成が保証される。

【0022】図 7 は、図 6 の線 7-7 に沿って取った断面図である。ゲートランナ 19a の一部分は、金属化領域 18 の間に配置して示してある。はんだ濡れ性金属 (TiNiAg など) を金属化領域 18 の上に配置することが好ましい。ゲートランナ 19a をプレート部分 30 から絶縁するために、窒化物層 27 をゲートランナ 19a の上に配置する。硬化性導電材料 46 (好ましくは銀充填エポキシ) をはんだ濡れ性金属 25 の上に配置し、プレート部分 30 を金属化領域 18 に電気的かつ機械的に結合する。プレート部分 30 は、ゲートランナ 19a を妨害することなく電気的かつ熱的に金属化領域 18 と結合される。

【0023】プレート部分 30 は、望むなら、はんだ濡れ性金属 25 にはんだ付けすることもできることに留意されたい。しかし、銀充填エポキシ 46 を利用して、プレート部分 30 を金属化領域 18 に結合することが好ましい。導電性エポキシ 46 を利用するときには、はんだ濡れ性金属 25 を除去し、エポキシを直接金属化領域 18 と接触させることができる。

【0024】次に、本発明の代替実施形態を示す図 8 を参照する。特に、ビーム部分 34 の末端は、端子 12b の付近にボイド 42 を形成するヒール 37 と、トウ (t oe) 38 とを含む。ビーム部分 34 の末端は、ボイド 42 を通って端子 12b に向かって延びる下向きの突起 40 を含むことが好ましい。硬化性導電材料 44 をボイド 42 中に導入し、ビーム部分 34 の末端の端子 12b

への電気的および機械的な結合を容易にすることが好ましい。本発明で使用するのに適した硬化性導電媒質 44 は、既知の導電性エポキシおよびその類似のもの (銀充填エポキシであることが好ましい) のいずれかから選択することができる。

【0025】次に、本発明の別の態様による半導体パッケージ 116 の切欠斜視図である図 9 を参照する。図 9 の半導体パッケージ 116 は、複数のビーム部分 34 がクロスバー部分 50 で終端する点を除けば、前述の実施形態のパッケージとほぼ同じである。クロスバー部分 50 は少なくとも 2 つの端子 12b に結合される。

【0026】クロスバー部分 50 は、端子 12b の付近に位置するボイドを画定する長手方向ヒール 52 および長手方向トウ 54 を含むことが好ましい。ボイド 56 は、クロスバー部分 50 のほぼ全長にわたって延びるチャンネルの形をしている。クロスバー部分 50 は、チャンネルを通して端子 12b に向かって延びる下向きの突起 58 (壁面の形状) を含むことが好ましい。硬化性導電材料 (導電性エポキシなど) の層をチャンネル内に配置し、クロスバー部分 50 を端子 12b に結合することが好ましい。

【0027】次に、本発明の別の実施形態による半導体パッケージ 118 の切欠斜視図を示す図 10 を参照する。半導体パッケージ 118 は、プレート部分 30、ビーム部分 34、および端子 12b が全て一体に結合され、好ましくは共通の材料シートから形成される点を除けば、本発明の前述の実施形態と同様である。したがって、端子 12b は、ハウジング 22 の外側からハウジング内部に、半導体ダイ 16 の上部をかなり覆って延び、半導体ダイ 16 を上部プレート部分 30 と底部プレート部分 13 の間に挟む。

【0028】金属化領域 18 をはんだ濡れ性金属 (銅や金、銀など) から形成することができること、および複数の流動性導電バンプ (好ましくははんだバンプ、図示せず) を金属化領域 18 の表面上に配置することができることに留意されたい。さらに、プレート部分 30 は、電気的かつ/または機械的に流動性導電バンプおよび金属化領域 18 と係合することができるように、流動性導電バンプと反対に配向された下側表面を含むことができる。

【0029】プレート部分 30 の下側表面は、プレート部分 30 から流動性導電バンプおよび金属化領域 18 に向かって延びる、1 つまたは複数の下向きの突起を含むこともできる。

【0030】プレート部分 30 が約 0.108×0.104 ミルであるときには、パッケージに導入される抵抗はわずか約 0.115 ミリオームであることが分かっている。全体で約 0.08 ミリオームとなる金属化領域 18 を使用すると、本発明によるパッケージの全抵抗はわずか約 0.506 ミリオームとなる (従来技術のパッケ

ージより50%から75%の改善)。さらに、本発明のパッケージの熱抵抗 R_{JA} は、最大でわずか約46EC/Wとなる(従来技術のパッケージより25%の低下)。

【0031】本発明の好ましい実施形態についての前述の説明は、例示および説明を目的として与えたものである。これは本発明を網羅する、または本発明を開示の形態に厳密に限定するものではない。上記の教示に照らして多くの修正および変形が可能である。本発明の範囲は、この詳細な説明ではなく、添付の特許請求の範囲によって限定されるものとする。

【図面の簡単な説明】

【図1】従来技術による半導体パッケージの側面図である。

【図2】従来技術による半導体パッケージの側面図である。

【図3】本発明による半導体パッケージの側面図である。

【図4】図3に示す半導体パッケージの代替実施形態の上面図である。

【図5】図4の半導体パッケージの斜視図である。

【図6】図4の半導体パッケージの代替実施形態の上面

図である。

【図7】線7-7に沿って取った図6の半導体パッケージの断面図である。

【図8】本発明の半導体パッケージの代替実施形態の切欠斜視図である。

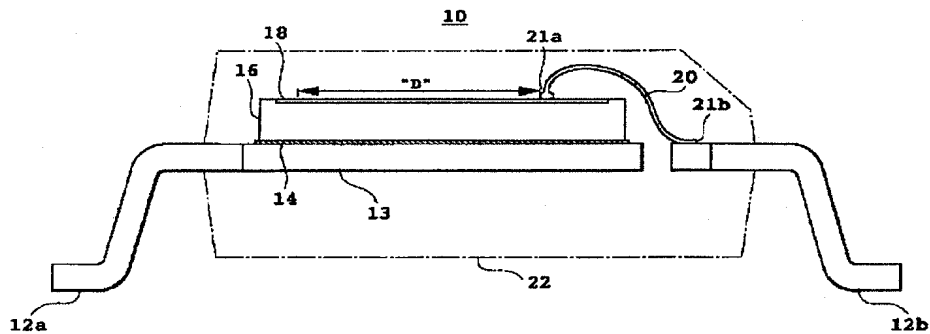
【図9】本発明による半導体パッケージの別の代替実施形態の切欠斜視図である。

【図10】本発明による半導体パッケージの別の代替実施形態の切欠斜視図である。

【符号の説明】

- 12a 端子
- 12b 端子
- 13 底部プレート
- 16 半導体ダイ
- 18 金属化領域
- 20 ワイヤボンディング
- 22ハウジング
- 30 上部プレート部分
- 34 ビーム部分
- 50 クロスバー部分
- 110 半導体パッケージ

【図1】



【図2】

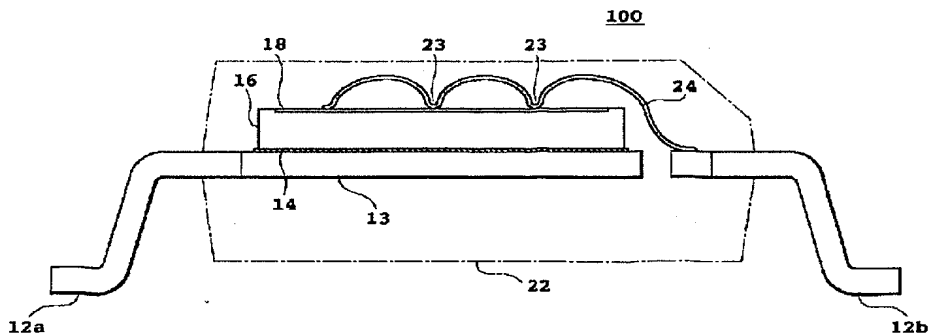
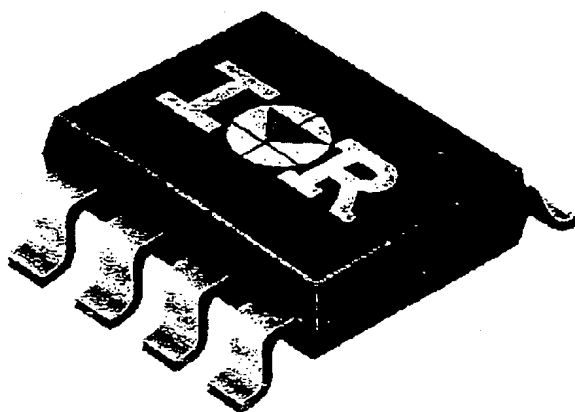


Figure 110 is a cross-sectional view of a semiconductor device. It shows a substrate 12 with a central region 13 and side regions 14. A layer 16 is formed on the central region 13, and a layer 18 is formed on the side regions 14. A layer 30 is formed on top of the central region 13, and a layer 46 is formed on top of the side regions 14. A layer 34 is formed on top of the central region 13, and a layer 36 is formed on top of the side regions 14. The device is labeled 110.

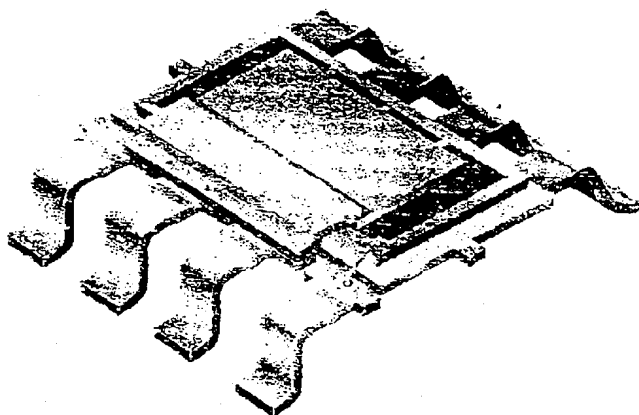
A cross-sectional view of a semiconductor device. The device consists of a substrate 18. On top of the substrate, there is a patterned layer 25. In the center of the substrate, there is a region 19a filled with a material 27. A layer 30 is on top of the device, and a layer 46 is on the right side.

【図5】

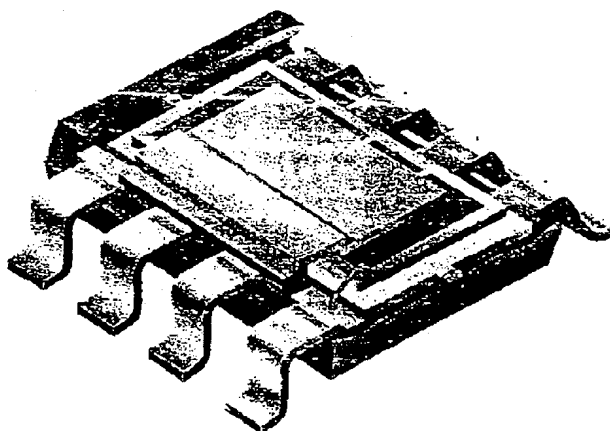
(a)



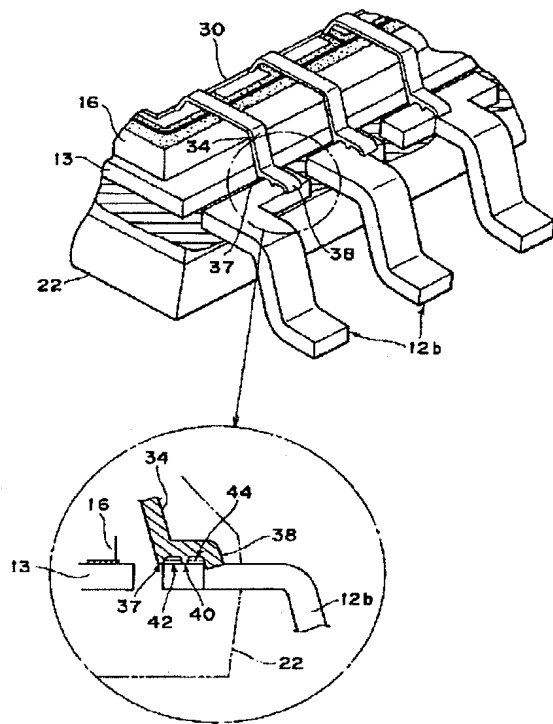
(b)



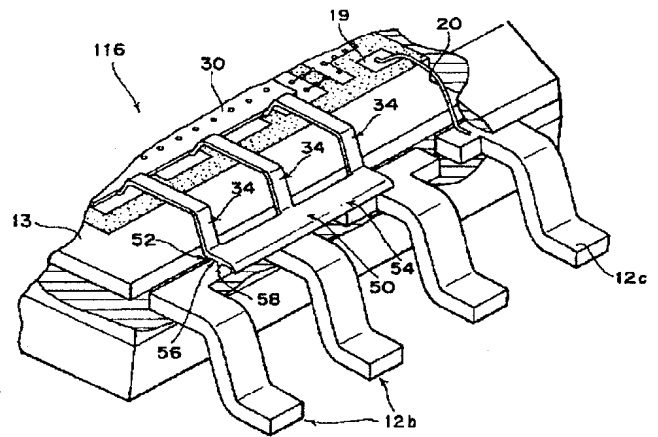
(c)



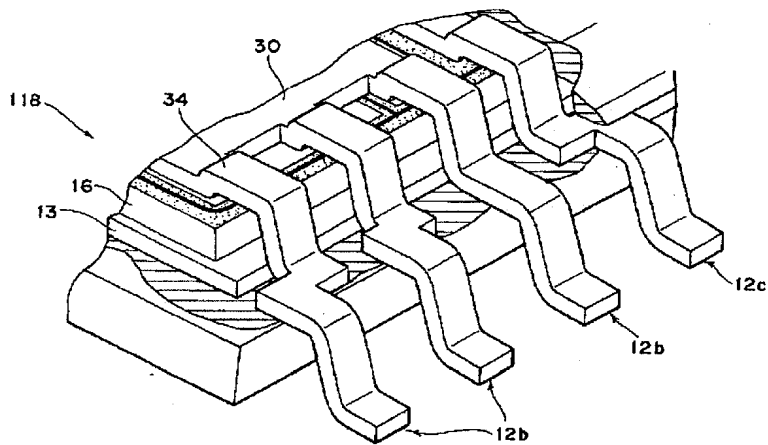
【図8】



【図9】



【図10】



フロントページの続き

(72) 発明者 チュアン チェア
 アメリカ合衆国 90278 カリフォルニア
 州 リダンド ビーチ ブールヒース ア
 ヴェニュー 1908 アパートメント 3

(72) 発明者 ジョージ マノツ
 アメリカ合衆国 90630 カリフォルニア
 州 サイプレス パルバドス アヴェニュー
 6032

(72) 発明者 ダン キゼル
アメリカ合衆国 90245 カリフォルニア
州 エル セグンド センター ストリー
ト 760